Morinelli

15

MEMORIE RAM PER SISTEMI
CON CPU19 e CPU 19M
- RAØØ8- MEØØ6

DESCRIZIONE DI FUNZIONAMENTO

cod. 831-30-1

MEMORIE RAM PER SISTEMI CON CPU 13 E CPU 13M

Descrizione di funzionamento cod. 831.30.1

Generalita'	▽
RAM DINAMICHE 64 KB. - RAØØ8	1
RAM DINAMICHE 32 KB con LOOK AHEAD MEØØ6	2

GENERALITÀ

A partire da Maggio 1980, le piastre RAM per sistemi con CPU13 e CPU13M (RAM8x e RAM16) sono state sostituite con un unico tipo di piastra RA008 (circuito stampato RA32UP) di capacità modulare da 8 a 64 K Bytes.
Le caratteristiche principali di questo tipo di piastra sono le seguenti:

1. circuito stampato multilayer
2. possibilità di utilizzare componenti RAM da 4 K bit o da 16 K bit
3. Introduzione del bit di parità
4. Montaggio dei componenti RAM su zoccolo
5. utilizzo di interruttori dip-switches per la definizione delle predisposizioni.

Il vantaggio principale nell'impiego delle RAM da 64 K Bytes consiste nel risparmio di posti piastra, particolarmente utile in zone DMA. Inoltre, a parità di capacità esse risultano economicamente più convenienti.
Per quanto riguarda invece la prestazione del controllo di parità, si rammenta che essa può essere sfruttata solo su sistemi che utilizzano la CPU13M (TC1800 - BCS3030 P6066). In tutti gli altri casi la prestazione deve essere esclusa a livello pannelli.

Il sistema P6066 inoltre, utilizza come piastra di RAM per i microprogrammi un altro tipo di piastra: ME006 di capacità 32 kbytes. Questa risulta sensibilmente più veloce della RA008, quando gli accessi alla memoria avvengono in modo sequenziale, in quanto è dotata di una logica di prelettura (look AHEAD).
Per motivi di disturbi non è consentito utilizzare questo tipo di piastra in zona DMA, per cui il suo impiego va limitato al sistema P6066 in zona UC.

<u>Bibliografia di riferimento:</u>

- CPU 18 . descrizione di funzionamento ... cod. 805.30.1
- Memorie per sistemi con CPU 18 - descrizione di funzionamento --- cod. 826.30.1
- MEMORIE RA008 e ME006 raccolta schemi ---- cod. 831.01.0
- Particolarità e note per l'installazione della piastra RA008 - BIT cod. 831.60.1

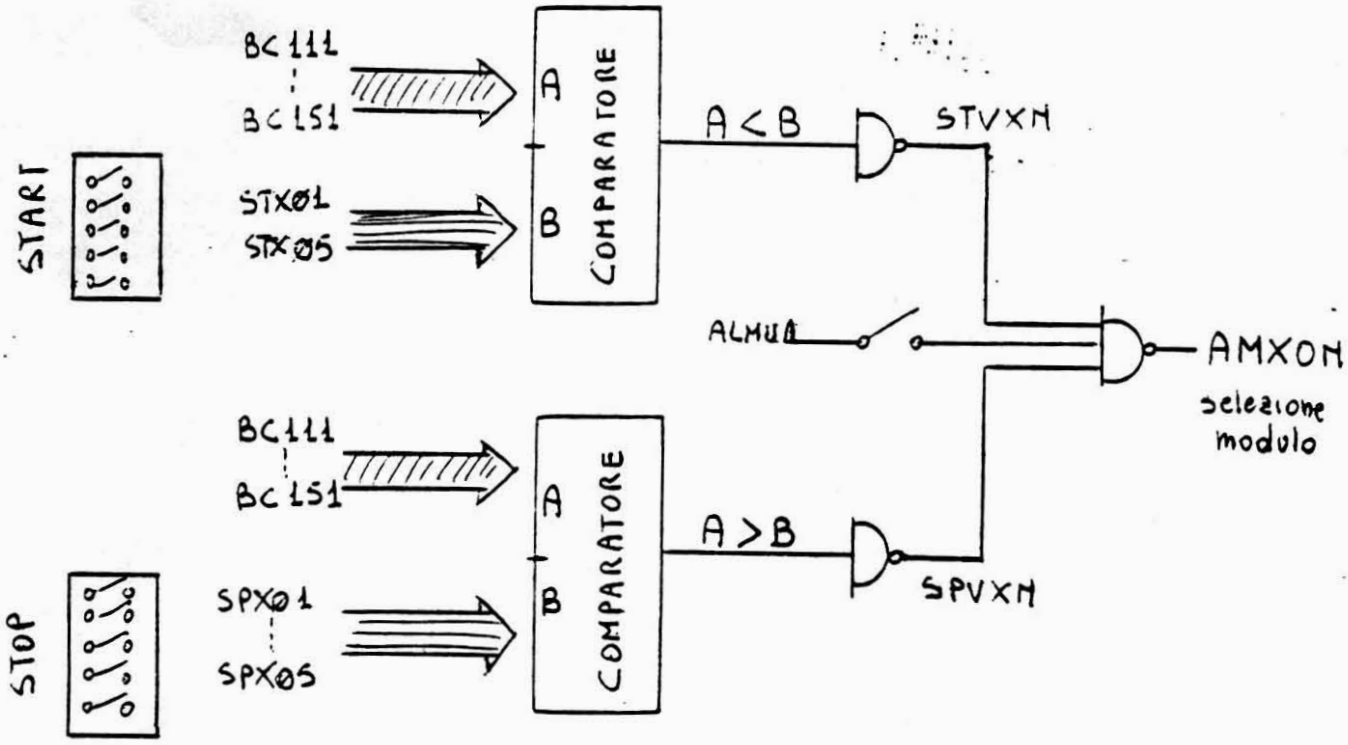
RAØØ8 - 1 -

RAM DINAMICHE DA 64 KB. RA 008.

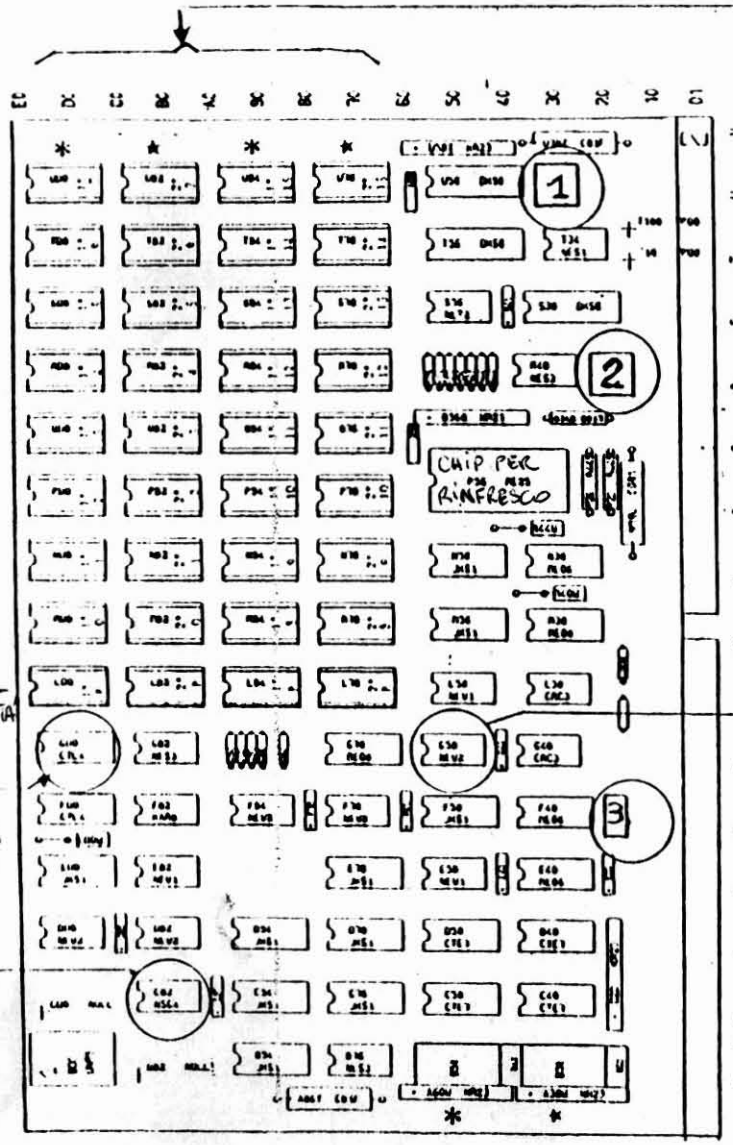
La piastra in oggetto è composta da 2 moduli di memorie della capacità massima di 32 Kb, ciascuno. Rispetto alle piastre utilizzate in precedenza, essa presenta un diverso modo di programmazione degli indirizzi riconosciuti; infatti è possibile, tramite ponticelli, definire un "range" delimitato da due valori di indirizzo: START e STOP entro il quale la piastra si ritiene selezionata. Questo range, può variare da 4 Kb a 32 Kb indipendentemente dalla capacità dei componenti di RAM utilizzati per cui è possibile, specialmente durante l'esecuzione di programmi diagnostici molto severi (es al SUCE) restringere e precisare la zona da "Testare" con conseguente notevole risparmio di tempo.

Il principio di funzionamento dei comparatori utilizzati per riconoscere l'indirizzo può essere sintetizzato in questo modo: un comparatore controlla che l'indirizzo ricevuto non sia minore dell'indirizzo programmato sui ponticelli di START; e un secondo comparatore controlla che lo stesso indirizzo non sia maggiore dell'indirizzo programmato sui ponticelli di STOP. Se non si verifica nemmeno di queste condizioni la piastra si seleziona ed avvia la temporizzazione di accesso, in caso contrario è attiva la sua segnalazione INVOO (indirizzo fuori memoria)

SELEZIONE MODULI



Attraverso il segnale ALMUA (controllato da ponticello) è possibile disabilitare in blocco la piastra. Questo può essere utile in produzione per collaudare a lungo la logica di ciclo senza il pericolo di scritture abusive. Ovviamente questo ponticello dovrà sempre essere aperto in condizioni di normale funzionamento.

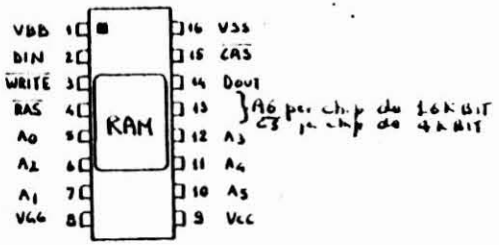


BITS DI PARITÀ → CONTROLLO DI PARITÀ IN CERTE RAM NON CI SONO

RIKEU - p.15

rinfresco 12,7 µS

CLOCO = pin 6

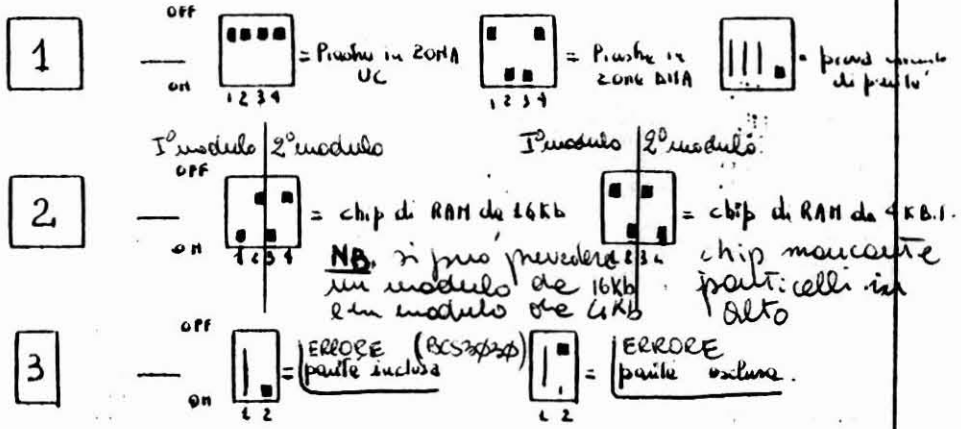


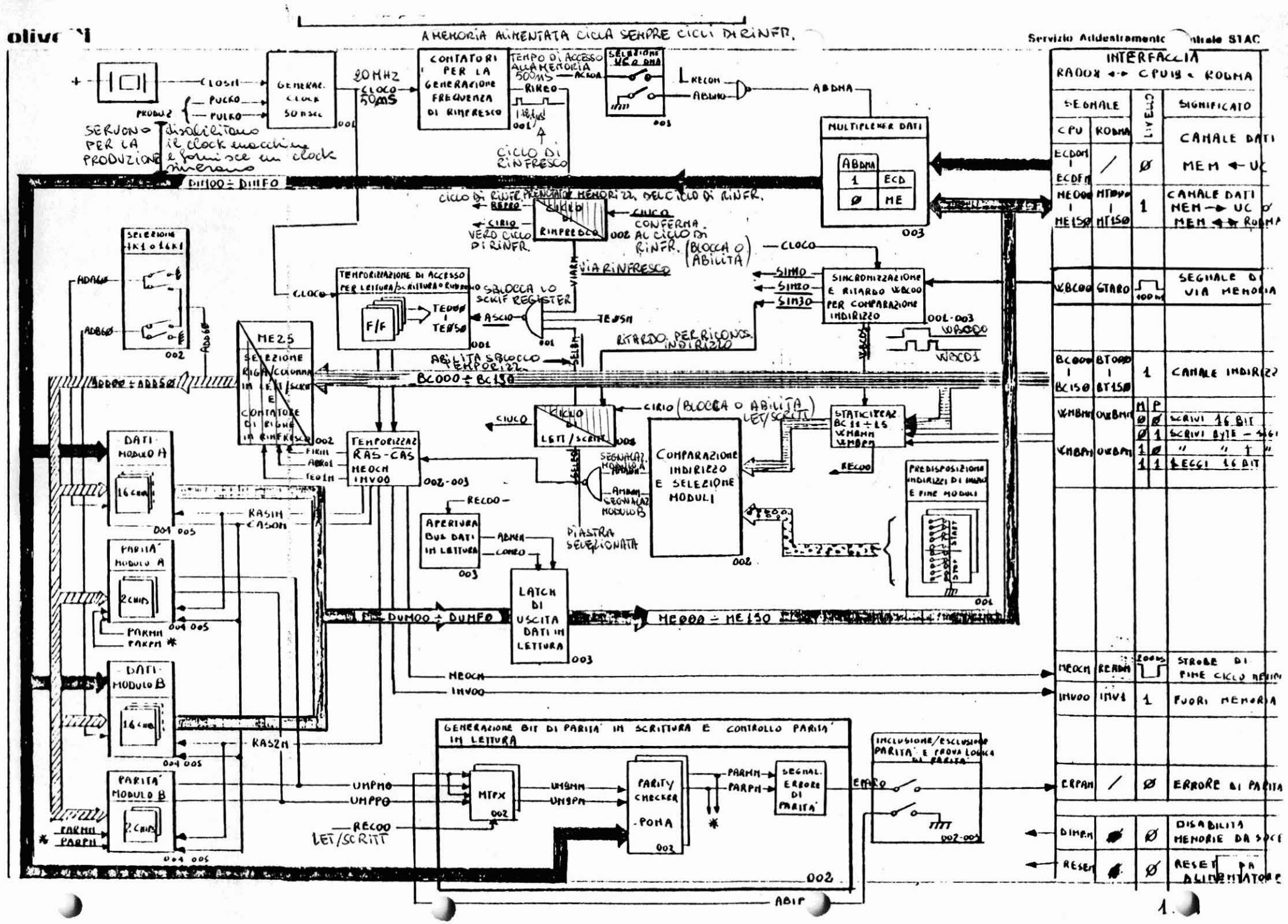
NOME DEI PIN		
DIN = INGRESSO DATI	WRITE = COMANDO DI SCRITTURA	VGG = +12 VOLT
DOUT = USCITA DATO	$\overline{RAS}$ = STROBE DI INDIRIZZAMENTO RIGA	VCC = +5 VOLT
A0 ÷ A6 = INGRESSO INDIRIZZI	$\overline{CAS}$ = STROBE DI INDIRIZZAMENTO COLONNA	VSS = 0 VOLT
CS = SELEZIONE CHIP	VBB = −5V ottenuto con diodo zener −20V	

PER DISABILITARE UN MODULO SI DÀ UN INDIRIZZO DI STOP INFERIORE A QUELLO DI START

selezione piastra

SELEO = pin 6




A MEMORIA ALIMENTATA CICLA SEMPRE CICLI DI RINFR.
GENERAZ. CLOCK 50 nsec
20 MHz
CLOCK 50 nS
CONTATORI PER LA GENERAZIONE FREQUENZA DI RINFRESCO
TEMPO DI ACCESSO ALLA MEMORIA 500 nS
SELEZIONE VCC o DMA
MULTIPLEXER DATI
ABDMA
CICLO DI RINFRESCO
DIM00 ÷ DIMF0
CICLO DI RINFR. MENTRE MEMORIZZ. DEL CICLO DI RINFR.
CICLO RIMPREGLO
CONFERMA AL CICLO DI RINFR. (BLOCCA O ABILITA)
VERO CICLO DI RINFR.
VIA RINFRESCO
SINCRONIZZAZIONE E RITARDO WBC00 PER COMPARAZIONE INDIRIZZO
TEMPORIZZAZIONE DI ACCESSO PER LETTURA/SCRITTURA O RIGENERAZ.
SBLOCCA LO SCRIT REGISTER
RITARDO PER RICONOS. INDIRIZZO
ABILITA SBLOCCO TEMPORIZZ.
ME25 SELEZIONE RIGA/COLONNA IN LET/SCRIT E CONTATORE DI RIGHE IN RINFRESCO
BC000 ÷ BC150
CICLO LET/SCRITT
CIRIO (BLOCCA O ABILITA LET/SCRITT)
STATICIZZAZ. BC 11 ÷ 15 WMBMM WMBPM
COMPARAZIONE INDIRIZZO E SELEZIONE MODULI
PREDISPOSIZIONE INDIRIZZI DI INIZ. E FINE MODULI
TEMPORIZZAZ. RAS-CAS MEOCM INVOO
APERTURA BUS DATI IN LETTURA
LATCH DI USCITA DATI IN LETTURA
DUM00 ÷ DUMF0
ME00 ÷ ME150
DATI MODULO A
PARITA' MODULO A
DATI MODULO B
PARITA' MODULO B
GENERAZIONE BIT DI PARITA' IN SCRITTURA E CONTROLLO PARITA' IN LETTURA
MTPX
PARITY CHECKER POMA
SEGNAL. ERRORE DI PARITA'
INCLUSIONE/ESCLUSIONE PARITA' E PROVA LOGICA DI PARITA'
ABIP
INTERFACCIA RADOX ↔ CPU15 e ROBMA
SEGNALE CPU ROBMA LIVELLO SIGNIFICATO
CANALE DATI MEM ← UC
CANALE DATI MEM → UC MEM ↔ ROBMA
SEGNALE DI VIA MEMORIA
CANALE INDIRIZZI
SCRIVI 16 BIT
SCRIVI BYTE
LEGGI 16 BIT
STROBE DI FINE CICLO RINFR.
FUORI MEMORIA
ERRORE DI PARITA
DISABILITA MEMORIE DA SOCC
RESET DA ALIMENTATORE

DESCRIZIONE DELLO SCHEMA A BLOCCHI

Come si può facilmente rilevare, l'interfaccia verso la CPU o la RODMA è esattamente uguale a quella delle precedenti piastre di RAM dinamiche, ad eccezione della segnalazione di errore di parità -ERPAM- che è specifica delle nuove piastre e che, si ricorda, può essere gestita solo dalla CPU13M.
Le operazioni che la piastra in oggetto può eseguire si possono riassumere in:

- cicli di scrittura dati in memoria e calcolo parità
- cicli di lettura dati e controllo parità
- cicli di rinfresco.

I cicli suddetti sono asincroni tra di loro e mutuamente esclusivi nel senso che se è in corso un ciclo di rinfresco (CIRIO) si ritarda un eventuale ciclo di lettura/scrittura e viceversa, se è in corso un ciclo utile di lettura/scrittura (CIUCO) si ritarda l'eventuale richiesta di rinfresco.
La piastra ha un proprio oscillatore al quarzo che fornisce una frequenza di 20 MHZ (CLOSM). Per collaudi in produzione, questo clock interno può essere disabilitato (PUCKO) e sostituito con un clock esterno (PULKO). Il clock di uscita (CLOCO) viene utilizzato come base per tutte le temporizzazione di piastra. Attraverso un F/F e 2 contatori si ottiene il segnale RIREO che rappresenta la frequenza delle richieste di rinfresco per ogni riga della matrice (128 righe per chip da 16K bit)

RIREO ha un periodo di 12,8 μsec;
si ricorda a tale proposito che le 128 righe della matrice devono essere "rinfrescate ogni 2 msec;
ad ogni RIREO, viene prenotato un ciclo di rinfresco (REFRO) e, se non ci sono cicli di lettura o scrittura in corso, viene fatto partire il ciclo stesso con VIARN e ASCIO; questi sbloccano lo shift-register TEØØØ ÷ TEØ5Ø che fornisce la temporizzazione di accesso alla memoria. L'indirizzo della riga da rinfrescare è fornito dal componente LSI MEZS il quale provvede a incrementarlo ad ogni ciclo tramite FIRIM.

I bits di indirizzo inviati alle RAM possono essere 6 o 7 a seconda che siano utilizzati chips da 4096 bit o da 16384 bit. A tale scopo sono utilizzati 4 ponticelli (due per ogni modulo)*. Se si utilizzano chips da 16 Kbit il bit più significativo dell'indirizzo (ADD6Ø) viene portato tramite ponticello, direttamente alle RAM (piedino 13) mentre se si utilizzano i chip da 4K BIT, lo stesso piedino funge da $\overline{\text{chip-select}}$ per cui deve essere collegato a massa tramite il secondo ponticello.

NOTA * - essendoci 2 gruppi di ponticelli separati tra loro, è possibile equipaggiare la piastra con due moduli che utilizzano chips diversi: uno da 4K bits e l'altro da 16Kb.

I cicli di lettura/scrittura (cicli utili) iniziano sempre a fronte di un comando proveniente da CPU o da DMA attraverso il segnale WBC00 (STARO) che rappresenta lo strobe dell'indirizzo presente sul bus BC000÷BC150.
I 5 bits più significativi dell'indirizzo, cioè quelli che vengono sondati dai comparatori, devono essere stabilizzati sul fronte di WBC00 per impedire che configurazione spurie in ingresso ai comparatori facciano partire dei cicli abusivi. Inoltre il segnale WBC00, deve essere sincronizzato con il clock di piastra e ritardato di almeno 100 nanosecondi per dare tempo ai comparatori di riconoscere l'indirizzo; A questo scopo sono utilizzati i F/F SIM10 - SIM20 - SIM30. Se l'indirizzo fornito dalla CPU o dal DMA è compreso nel range definito dai gruppi di punticelli di start-stop. nasce uno dei 2 segnali di selezione AMAON, AMBON che determinano la selezione della piastra per ciclo di lettura/scrittura (SELBH); questo, analogamente a quanto esaminato per il ripasso, sblocca lo shift register che determina il tempo di accesso in memoria.
Sincronizzati con l'evoluzione dello shift-register nascono i segnali di selezione riga/colonna, $\overline{RAS}$ e $\overline{CAS}$ mentre lo stesso componente LSI ME25 (già nominato) provede a fornire le configurazioni di indirizzo di riga e colonna multiplexando i BC000÷BC130 che agiscono al suo ingresso.

lo stesso latch utilizzato per stabilizzare i bits più significativi dell'indirizzo, stabilizza anche i due segnali di qualifica operazione: WMBMN - WMBPN; quando questi 2 segnali sono entrambi a 1, cioè in lettura, nasce la condizione RECOO a 1 che caratterizza appunto i cicli di lettura, aprendo il bus di uscita ME000÷ME150 e abilitando il controllo di parità.

LOGICA DI PARITA'

1. Scrittura.

Il canale dati da scrivere in memoria DIM00 ÷ DIMF0 viene portato in ingresso a 2 PONA (parity-checker) che forniscono in uscita le segnalazioni di parità o disparità sui bit a 1.

In scrittura, il bit 9 in ingresso ai PONA (piedino 9) viene forzato a Ø attraverso i Multiplexer che, selezionati da RECOO = Ø (operazione di scrittura) ripetono, invertendola la segnalazione del dip-switch. ABIPO, normalmente = 1.

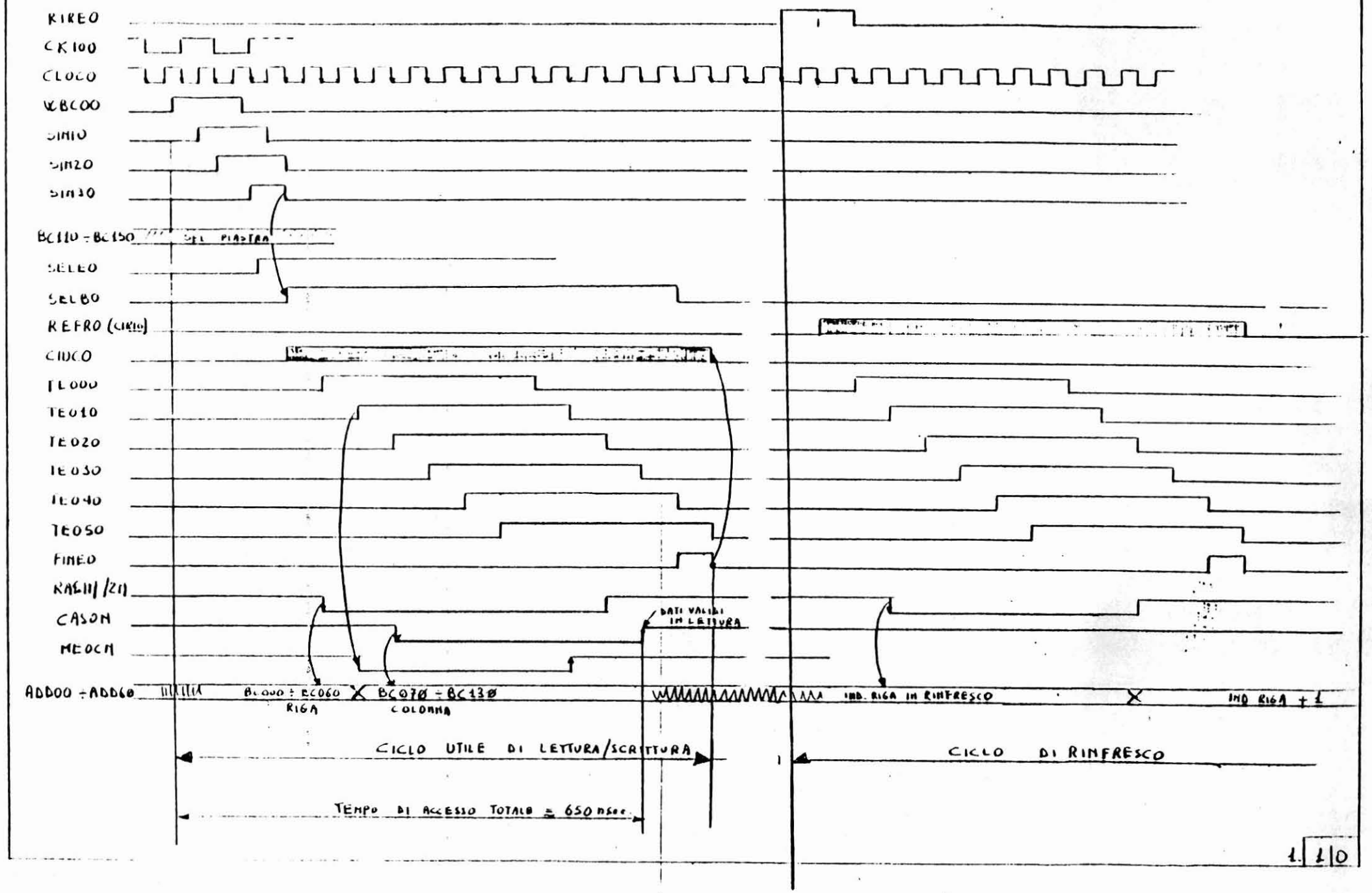
In uscita ai PONA avremo le segnalazioni PARMN = Ø se il N° di Bit a 1 del BYTE DIMØØ ÷ DIM7Ø è pari oppure PARMN = 1 se il N° di Bit a 1 di DIMØØ ÷ DIM7Ø è dispari. Analogamente, PARPN controlla la parità sul BYTE DYM8Ø ÷ DIMFØ. In scrittura, PARMN e PARPN sono utilizzati come dati in input per i 2 chip di parità.

Chiudendo il dip-switch ABIPO (=Ø) si provoca un errore nel calcolo della parità sui POMA, per cui questa operazione è da effettuarsi per verificare (in sede di collaudo), il buon funzionamento della logica di parità.

2 - lettura

La condizione di lettura, è determinata dal segnale RECOO a livello 1, per cui i MULTIPLEXER portano in ingresso al bit 3 dei POMA i segnali di uscita dei 2 bit di parità UMPMØ e UMPPØ che possono essere indifferentemente a 1 o a Ø a seconda della parità. In lettura quindi i POMA controllano effettivamente 3 BITS e ne segnalano sempre tramite PARMN e PARPN, l'eventuale errore di parità. Se ciò si verifica, si setta EPARØ che genera la segnalazione ERPAN verso la CPU. Questa si traduce in una microinterruzione interna asincrona di LIV. 3A. Come si è già accennato, solo i sistemi con CPU IBM possono gestire tale tipo di interruzione per cui sulle piastre di RAM esiste la possibilità di interrompere (tramite dip-switch) la segnalazione ERPAN stessa. In questo caso la logica sopra descritta continua a lavorare regolarmente, ma non viene inviata alla CPU l'eventuale segnalazione di errore.

TEMPORIZZAZIONE DI LETT/SCRITT. E RINFRESCO



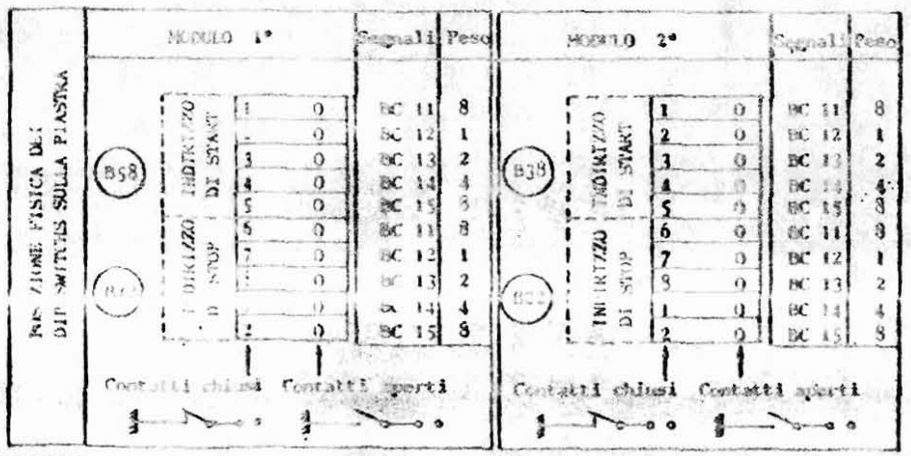
FUNZIONE DEI SEGNALI RIPORTATI NELLE FORME D'ONDA

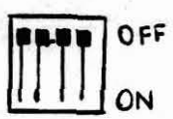
RIREO	Frequenza cicli di RINFRESCO
SINIO	Sincronizzazione WBCOO con clock di piastra RA008
SIN2O	Ritardo WBCOO per comparazione indirizzo.
SIN3O	MASTRO DI generazione "FUORI MEMORIA" se indirizzo non riconosciuto
SELEØ	Piastra selezionata per lettura/scrittura. dopo riconoscimento indirizzo
SELBO	Premotazione ciclo di lettura/scrittura
REFRO	Premotazione ciclo di rinfresco
CIRIO	Ciclo di rinfresco in corso
CIUCO	Ciclo utile (lettura/scrittura) in corso.
TEØØ-5Ø	Temporizzazione di accesso alla memoria RAM.
FINEØ	Fine ciclo.
RASXN	STROBE per indirizzi di riga.
CASON	strobe per indirizzi di colonna.
MEOCN	STROBE DI CICLO UTILE EFFETTUATO (sblocca Temporizzazione di UC)

PROGRAMMAZIONE DEGLI INDIRIZZI DI SELEZIONE

TABELLA 1

SEGNALI USATI PER LA SELEZIONE	PESO (IN K/8)	CODICI BINARI	INDIRIZZI SELEZIONABILI DI TUTTA LA MEMORIA. OGNI COLONNA = 4 K/8 (BYTE)																															
			0K + 1	4 + 8	8 + 12	12 + 16	16 + 20	20 + 24	24 + 28	28 + 32	32 + 36	36 + 40	40 + 44	44 + 48	48 + 52	52 + 56	56 + 60	60 + 64	64 + 68	68 + 72	72 + 76	76 + 80	80 + 84	84 + 88	88 + 92	92 + 96	96 + 100	100 + 104	104 + 108	108 + 112	112 + 116	116 + 120	120 + 124	124 + 128K
BC 11	4 K/8	8	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
BC 12	8 K/8	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
BC 13	16 K/8	2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
BC 14	32 K/8	4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
BC 15	64 K/8	8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
CODIFICA ESADECIMALE CORRISPONDENTE		INIZIO	0	0	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	A	A	B	B	C	C	D	D	E	E	F	F
			0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8	0	8
			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		FINE (1K/8)	0	0	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	A	A	B	B	C	C	D	D	E	E	F	F
			7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F	7	F
			F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
			F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
POSIZIONE DEI CONTATTI SU DIP-SWITCHS C = CONTATTO CHIUSO A = CONTATTO APERTO		BC 11	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A	C	A
		BC 12	C	C	A	A	C	C	A	A	C	C	A	A	C	C	A	A	C	C	A	A	C	C	A	A	C	C	A	A	C	C	A	A
		BC 13	C	C	C	C	A	A	A	A	C	C	C	C	A	A	A	A	C	C	C	C	A	A	A	A	C	C	C	C	A	A	A	A
		BC 14	C	C	C	C	C	C	C	C	A	A	A	A	A	A	A	A	C	C	C	C	C	C	C	C	A	A	A	A	A	A	A	A
		BC 15	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	C	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A





C000
C7FF

ROM CARICATORE
BCS3030

ME006. 2

RAM DINAMICHE DA 32 KB CON LOOK AHEAD - ME006

La piastra in oggetto contiene oltre a 32 K bytes di memorie dinamiche, la logica di temporizzazione, di look-ahead, di rinfresco e di parità. Essa può coprire uno dei seguenti 4 RANGE di INDIRIZZI:

0000 — 3FFF
4000 — 7FFF
8000 — BFFF
C000 — FFFF

È possibile inoltre, effettuare l'accecamento del primo o dei primi due banchi di 2 K WORD, tramite ponticelli; in tal caso, il o i banchi accecati vengono considerati non esistenti da parte della CPU.

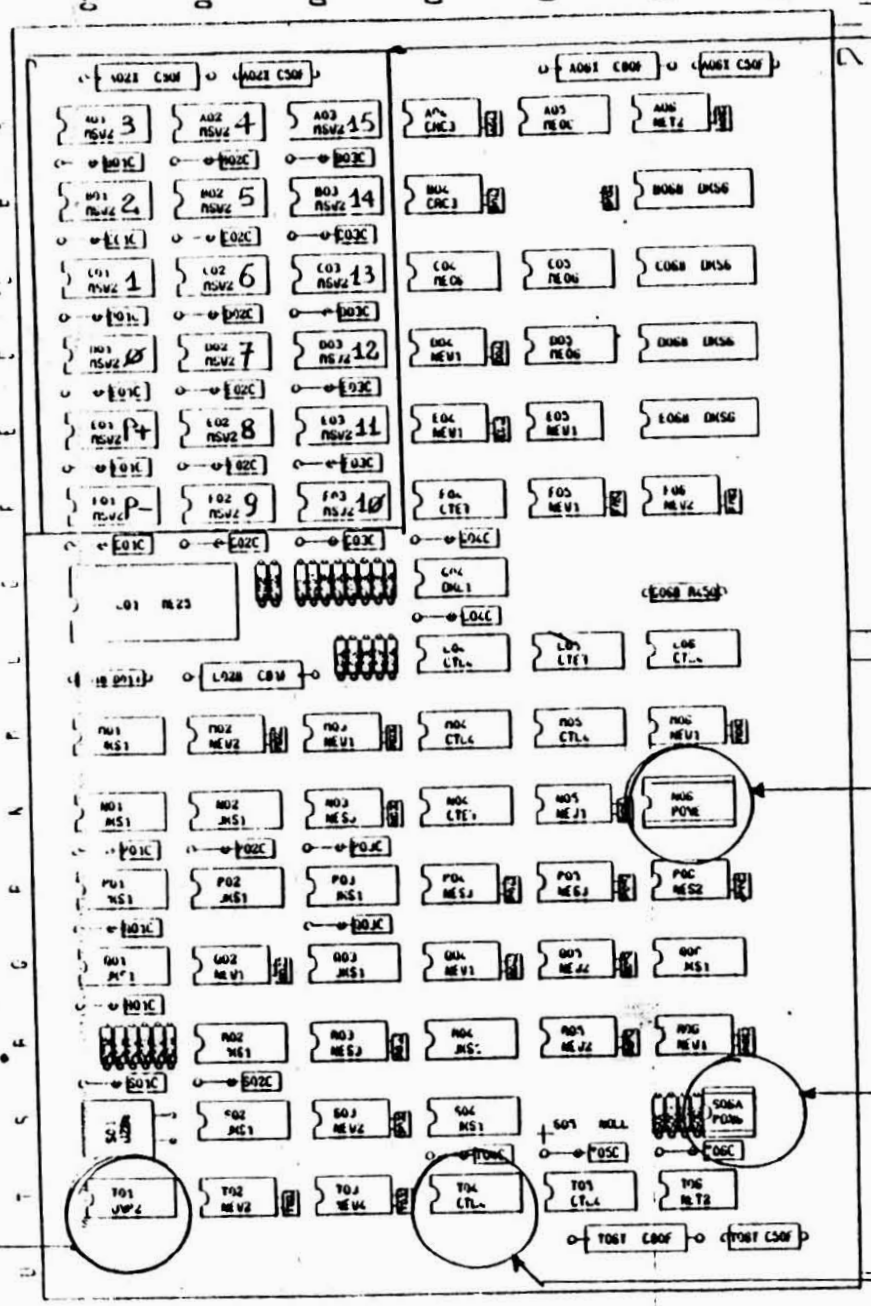
L'aspetto qualificante di questa piastra è senza dubbio il meccanismo di look-ahead che può essere sintetizzato nel modo seguente: quando la CPU sta eseguendo il fetch di istruzioni ad indirizzi sequenziali, vengono velocizzate le letture facendo in modo che, mentre la CPU sta decodificando una microistruzione che era memorizzata all'indirizzo I, la memoria provvede a fare una prelettura della microistruzione memorizzata all'indirizzo I+1; se il prossimo ciclo di memoria comandato da CPU sarà effettivamente all'indirizzo I+1, la memoria avrà già il dato pronto e potrà immediatamente inviarlo alla CPU (risparmiando così il tempo di accesso alla RAM)

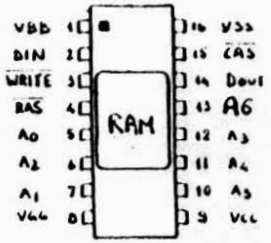
Subito dopo ripartirà una nuova prelettura all'indirizzo I+2 e così via .... Questi tipi di cicli vengono definiti cicli veloci. Quando invece la memoria riceve un comando di lettura ad un indirizzo che non è successivo al ciclo precedente (mistumani di salto) oppure, quando il ciclo precedente era un ciclo di scrittura, allora l'operazione di look AHEAD non ha effetto e viene quindi eseguito un ciclo definito lento che consiste nell'avviare la temporizzazione di accesso alle RAM in modo normale.

Considerando che la priorità ME006 è utilizzata solo come memoria microprogrammi e che in questa zona l'80% degli accessi è di tipo sequenziale, la velocizzazione che ne risulta è considerevole.

Si ricorda che l'utilizzo di questa priorità è limitato al solo sistema P6066 e solo nella zona U.C in quanto per problemi di velocità la priorità non può lavorare in zona DMA.

KAM da 16 K BIT





NOME DEI PIN		
DIN = INGRESSO DATI	WRITE = COMANDO DI SCRITTURA	VGG = +12 VOLT
DOUT = USCITA DATO	$\overline{RAS}$ = STROBE DI INDIRIZZAMENTO RIGA	VCC = +5 VOLT
A0 ÷ A6 = INGRESSO INDIRIZZI	$\overline{CAS}$ = STROBE DI INDIRIZZAMENTO COLONNA	VSS = 0 VOLT
CS = SELEZIONE CHIP	VBB = −5V ottenuto con divisore da −20V	

Ponticelli per assegnazione Indirizzi

PREDAP . PGOCC

8B000 ÷ BFFF

INDIRIZZI	PONTICELLI
00000 ÷ 3FFF	1 - 16 2 - 15
4000 ÷ 7FFF	1 - 16 4 - 13
8000 ÷ BFFF	2 - 15 3 - 14
C000 ÷ FFFF	2 - 15 4 - 13
ACCECAMENTO PRIMI 2 KW	5 - 12
" " " 4 KW	— —
MESSUN . ACCECAMENTO	6 - 11

Ponticelli x funzionamento esclusivo in ZONA DMA

(N.B. non si devono effettuare ponticelli perché la prima lavora in zona)

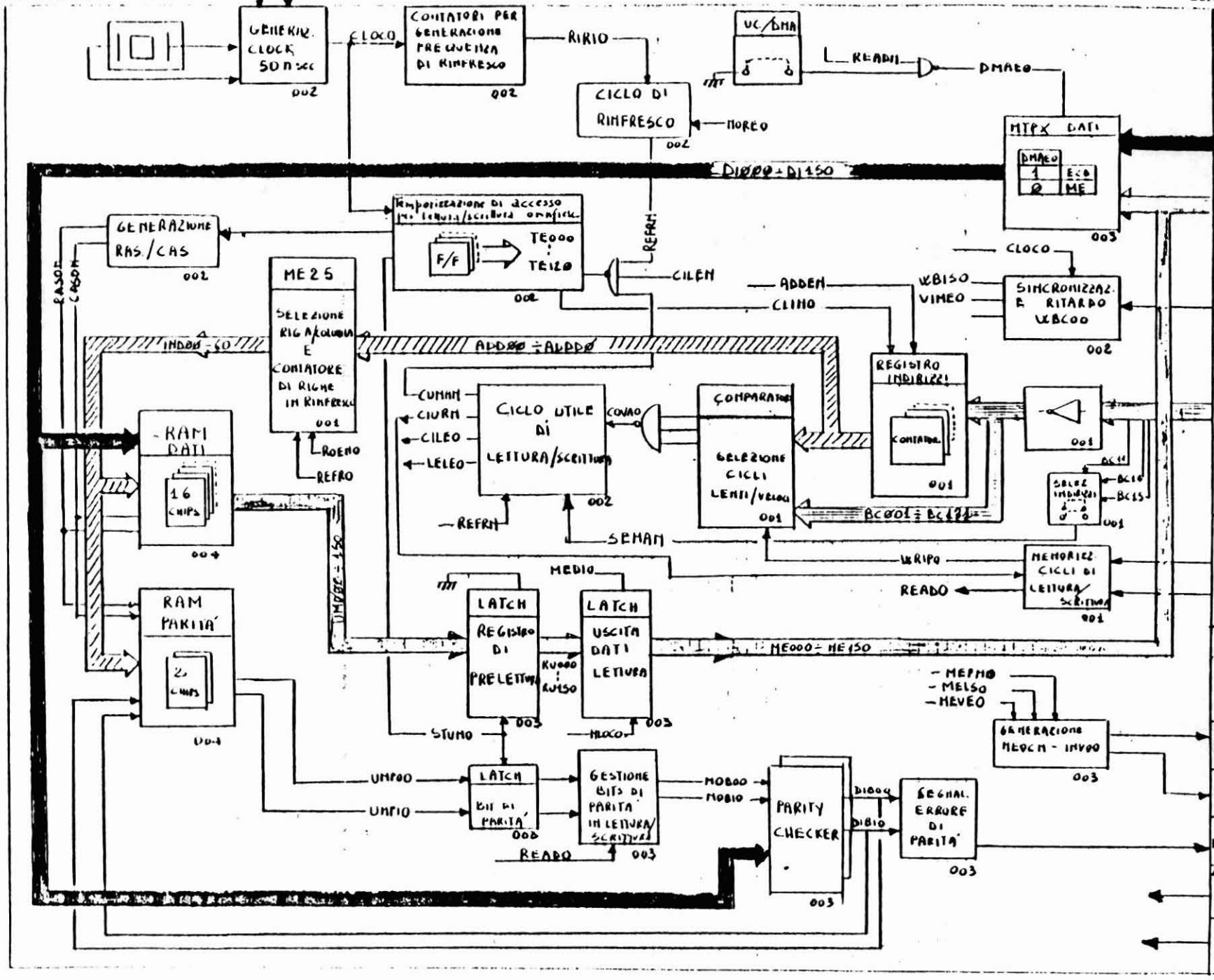
Pedino LO . OSION (ZONA)

RIRIO = Piedino 15

ME006 - SCHEMA A BLOCCHI

olivetti

Servizio Addestramento Centrale STAC



INTERFACCIA ME006 ↔ CPU9		
SEGNALE	LIVELLO	SIGNIFICATO
ECD00 ÷ ECDFA	0	CANALE DATI MEM ← UC
ME000 ÷ ME150	1	CANALE DATI MEM → UC
WBC00	100 ns	SEGNALE DI VIA MEMORIA
BC000 ÷ BC150	1	CANALE INDIRIZZI
WMBMN / WMBPN	M / P	
	0 / 0	Scrivi 16 Bit
	0 / 1	Scrivi Byte – S.
	1 / 0	" " + "
	1 / 1	Leggi 16 Bit
MEOCH	200 ns	STROBE DI FINE CICLO MEMORIA
INVOO	1	FUORI MEMORIA
ERPAN	0	ERRORE DI PARITA'
DIMEM	0	DISABILITA MEMORIE DA SUCE
RESEN	0	RESET DA ALIMENTATORE

DESCRIZIONE DELLO SCHEMA A BLOCCHI

I BITS DI indirizzo sul BUS BC000 ÷ BC150 vengono rigenerati mediante doppia inversione e vanno agli ingressi di 4 contatori che costituiscono il registro indirizzi della memoria. Questo registro (che viene incrementato di 1 ad ogni ciclo di lettura) viene a sua volta comparato mediante 3 comparatori a 5 BIT con lo stesso BUS BC000 ÷ BC130 per verificare se l'indirizzamento proveniente da CPU è quello successivo al ciclo precedente. Se così avviene nasce la segnalazione COVAM (= confronto valido) che darà l'abilitazione a far partire un ciclo di lettura veloce perché in queste condizioni il dato è già disponibile sul registro RV000 ÷ RV150. Il registro indirizzi, evolve con il clock CLIMO che nasce ad ogni ciclo utile di memoria. Il registro indirizzi viene incrementato di 1 se ADDEN è alto, mentre viene presettato con il valore del BUS BC se il ciclo precedente era un ciclo di scrittura. oppure se il nuovo indirizzo non è sequenziale al precedente. Le uscite del registro indirizzi (ADD00 ÷ ADD10) vengono inoltre portate al componente MEZS che provvederà a multiplexarle durante l'evoluzione dello shift-register di Temporizzazione per fornire gli indirizzi di RIGA e di colonna alla memoria. La selezione di questo multiplexer è data da ROEMO. Lo stesso componente

ME25 contiene inoltre un registro utilizzato per indirizzare le memorie durante i cicli di rinfresco; Tale registro si incrementa di uno ad ogni ciclo di rinfresco, attraverso il segnale REFRO.
I BIT 14 e 15 del BUS indirizzi, vengono utilizzati per definire il range di indirizzi che la piastra può coprire. e il loro livello determina quindi la selezione o meno della piastra stessa. Il BIT BC11 é utilizzato invece per effettuare l'eventuale accecamento del primo o dei primi 2 K word. (Il P6066 che ha i microprogrammi allocati agli indirizzi 8000 ÷ BFFF, richiede l'accecamento dei primi 2 K word da 8000 a 87FF perché a quegli indirizzi sono allocate le PROM del Loader.)
La partenza di un ciclo utile di memoria, é condizionata dal segnale WBCOO proveniente da CPU; Questo deve essere sincronizzato con il clock di piastra attraverso i F/F WBISO e VIMEO. Se, con VIMEO in set la piastra si é selezionata (SEMAH), viene prenotato un ciclo (utile) di memoria (CIURN).
Se non c'é una operazione precedente in corso oppure un ciclo di rinfresco, viene avviato effettivamente il ciclo con il F/F CUMAO che sblocca lo shift-register di Temporizzazione di accesso alle RAM. CIURN é utilizzato inoltre per stabilizzare l'informazione relativa al tipo di ciclo in corso: lettura o scrittura. (READO = 1 = lettura ; READO = Ø = scrittura)

se il ciclo è un ciclo di lettura, attraverso il F/F CILEO si mantiene lo shift-register attivo anche dopo la conclusione del ciclo stesso (MEOCM) perché in questo caso, occorre effettuare un (zero) ciclo (di prelettura) all'indirizzo successivo. Il dato letto dalla RAM viene caricato nel REGISTRO RU con il clock STUMO e successivamente passato all'UC con il fronte di MEOCM. In lettura MEOCM può essere generato in 2 tempi diversi: con MELSO durante i cicli lenti e con MEVEO durante i cicli veloci. in quest'ultimo caso MEOCM viene generato con molto anticipo essendo il dato da inviare già disponibile su RU per effetto di una prelettura precedente.
Nei cicli di scrittura, MEOCM viene generato sempre da MELSO, mentre nel caso di "fuori memoria" è generato da MEFMO.

Cicli di RINFRESCO

La temporizzazione di rinfresco è ottenuta mediante un F/F e 2 contatori che forniscono la segnalazione RIRIO con periodo di 12,8 μsec. Se non vi sono cicli utili in corso, viene avviato il ciclo di rinfresco con REFRM che sbocca lo shift-register di temporizzazione di accesso. Durante l'evoluzione della temporizzazione nasce RASCM che temporizza le uscite di ME2S il quale nel frattempo

Fornisce gli indirizzi di riga, prelevandoli dal suo registro interno, selezionato da REFRO.

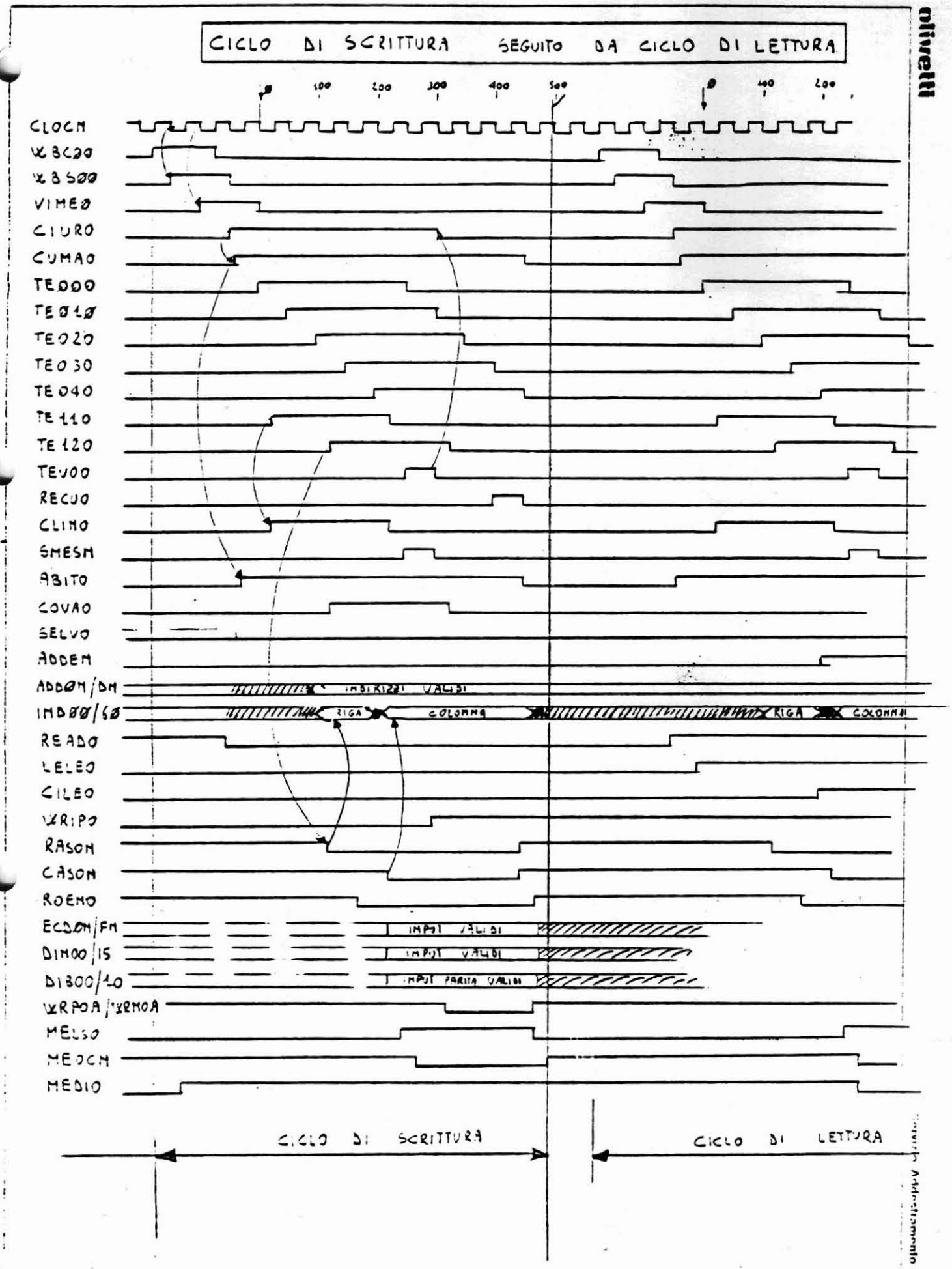
Nelle pagine seguenti, sono riportate le forme d'onda relative ai diversi cicli di memoria possibili: scrittura - lettura lenta, lettura veloce, rinfresco -

Logica di PARITA'

Sulla piastra ME006 la logica di parità è sempre inserita e ciò comporta la necessità di gestire tale piastra unicamente con CPU18 di tipo velocissimo.

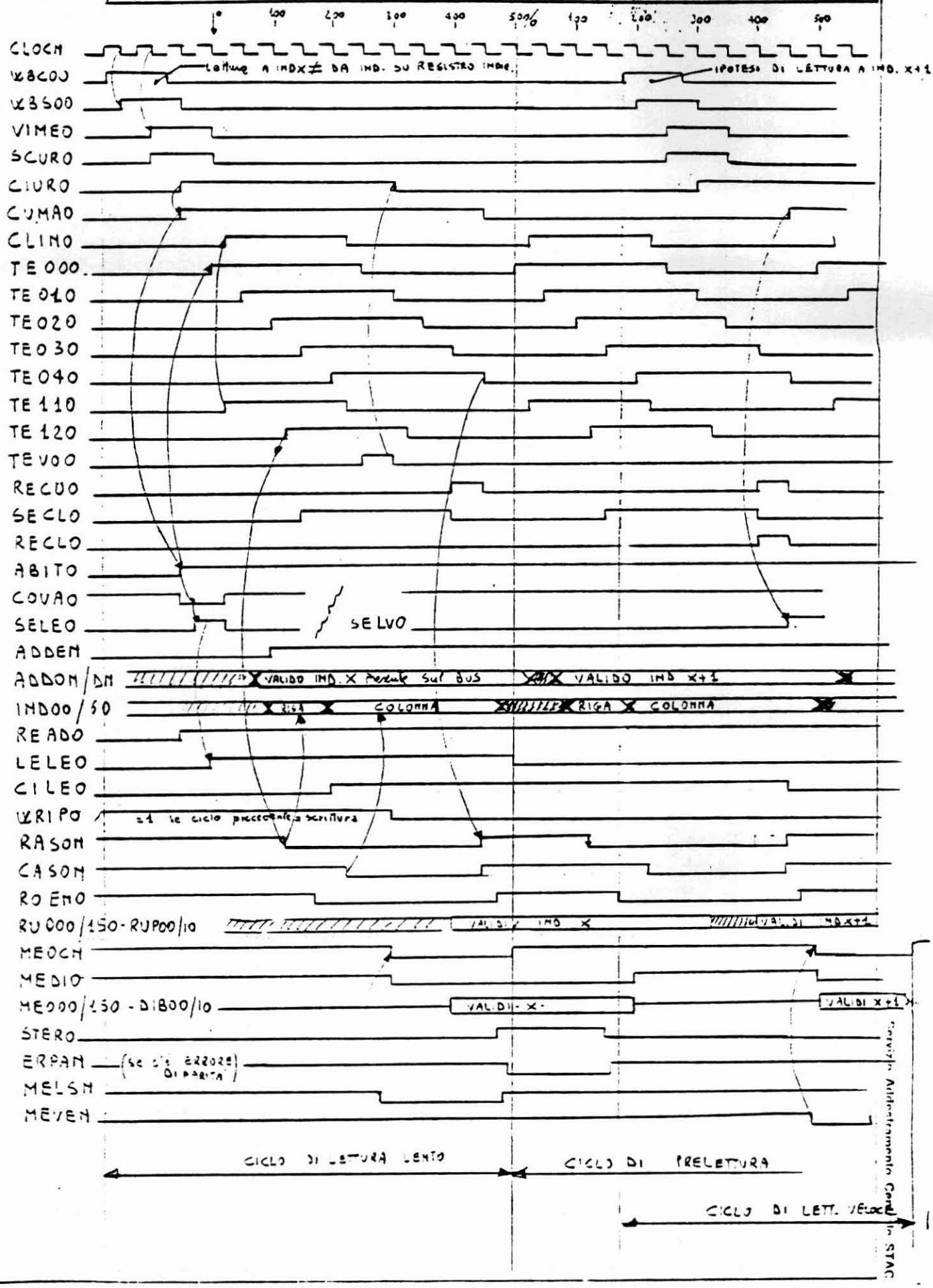
I due parity-checker usati per il controllo di parità agiscono sia in lettura che in scrittura, però, mentre in lettura i 2 bits di parità MOB00 e MOB10 sono abilitati a passare (READO = 1) e ad essere controllati insieme ai D1000 ÷ D1150, in scrittura MOB00 e MOB10 sono forzati a 0 (da READO = 0). In scrittura, quindi, sono gli stessi Parity-checker, che forniscono il livello 1 o 0 sui bit di parità a seconda del N° di Bit a 1 presenti sui Bytes. D1000 ÷ D1070 e D1080 ÷ D1150. Le uscite dei Parity-checker, in scrittura, costituiscono il dato in input per le 2 RAM di parità.

La segnalazione di errore ERPAM, nasce se uno dei 2 Parity-checker rileva in lettura (su 9 bit) un n° dispari di bit a 1.


CICLO DI SCRITTURA SEGUITO DA CICLO DI LETTURA
olivetti
0
100
200
300
400
500
0
100
200
CLOCM
WBC00
WBS00
VIME0
CIURO
CUMA0
TE000
TE010
TE020
TE030
TE040
TE110
TE120
TEV00
RECU0
CLIM0
SMESM
ABITO
COVA0
SELV0
ADDEM
ADD0M/DM
IMPULSI VALIDI
IMD00/60
RIGA
COLONNA
RIGA
COLONNA
READ0
LELE0
CILE0
WRIP0
RASOM
CASOM
ROEMO
ECD0M/FM
IMPULSI VALIDI
DIM00/15
IMPULSI VALIDI
DIB00/10
IMPULSI PARITA VALIDI
WRP0A/WRM0A
MELS0
MEDCM
MEDIO
CICLO DI SCRITTURA
CICLO DI LETTURA

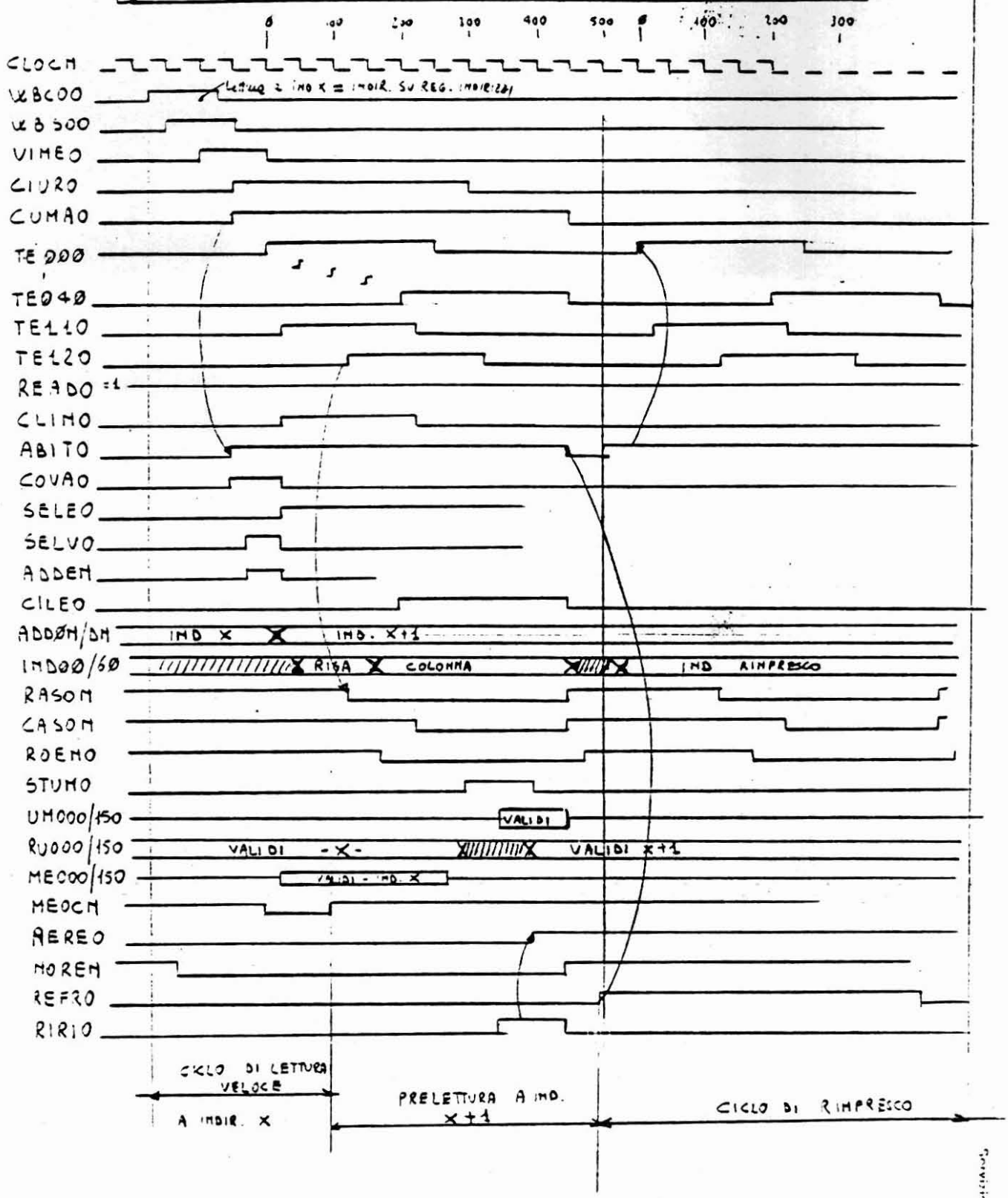
olivetti

CICLO DI LETTURA LENTO SEGUITO DA PRELETTURA ALL'INDIRIZZO SUCCESSIVO 1



Servizio Addestramento Centro STAC

CICLO DI LETTURA VELOCE SEGUITO DA PRELETTURA ALL' INDIRIZZO SUCCESSIVO E DA CICLO DI RINFRESCO



FUNZIONE DEI SEGNALI RAPPRESENTATI NELLE FORME D'ONDA

VCB600	Sincronizzazione VCB000 con Clock di processo
VIMEO	Via ciclo utile di memoria
CIURO	Prenotazione ciclo utile di memoria
CUMAO	Ciclo utile di memoria in corso
TE00-04	Temporizzazione di accesso alla memoria RAM.
TE110	Temporizzazione di CLIMO
TE120	Temporizzazione RAS
TEVOO	Temporizzazione di CIURO
RECUO	Reset di CIIEO
CLIMO	Clock indirizzi per registro indirizzi
SMESM	Temporizzazione di MEOCH in scrittura.
ABITO	Abilita Temporizzazione di accesso alla RAM
COVAO	Confronto Valido (BC = Registro indirizzi)
SELVO	Selezione ciclo veloce.
ADDEN	Se = 1 alla caduta di CLIMO = registro indirizzi + 1 - Se = Ø = Preset registro indirizzi con BC
READO	Ciclo utile di lettura.
LELEO	Lettura Lenta in corso
CILEO	Ciclo di lettura RAM in corso (allo durante prelettura)
VRIPO	Se = 1 = IP ciclo precedente era di scrittura (disabilita comparatori)
RASOM	STROBE di riga
CASOM	Strobe di colonna.
ROENO	Commutazione MTPX riga colonna su MEZS

MELSO	Generazione di MEOCM durante i cicli lenti o scritture.
MEOCM	segnalazione di fine ciclo utile (sblocca la Temporizzazione di VC)
MEDIO	Uscita MEØO-15- disabilitata.
MEVEM	Generazione di MEOCM durante i cicli veloci
REREO	Prenotazione ciclo di rinfresco.
MOREM	Blocca Rinfresco durante i cicli utili
REFRO	Ciclo di rinfresco in corso.
RIRIO	Frequenza di richieste cicli di rinfresco

Mariuelli

INDICE

CPU 19 M . . . . . Pag. 3.01

VELOCIZZAZIONE . . . . . " 3.01

Velocizzazione della fase alfa (275 ns) . . . . . " 3.02

TEMPORIZZAZIONE DELLA FASE ALFA . . . . . " 3.04

TEMPORIZZAZIONE IN FASE B (con parallelismo 16 BIT) . " 3.06

NUOVE MICRO ISTRUZIONI . . . . . " 3.09

SUDDIVISIONE DELLA MICROISTRUZIONE PER FUNZIONI " 3.11

MICRO INTERRUZIONI INTERNE ASINCRONE . . . . . " 3.13

CPU 19 M

La CPU 19 M é stata modificata per i seguenti motivi:

- Velocizzazione delle microistruzioni.
- Incremento del SET di microistruzioni.
- Scelta dell'indirizzo di caricamento del microprogramma al RESET (8ØØØ oppure CØØØ).
- Modifica delle microinterruzioni interne asincrone, con l'aggiunta della microinterruzione di CHECK di memoria.

1.1 VELOCIZZAZIONE

La CPU 19 M prevede la velocizzazione su tre stati diversi:

- Velocizzazione della fase alfa , quindi di tutte le microistruzioni di 275 ns.
- Velocizzazione della fase Beta delle microistruzioni di lettura in memoria a parallelismo 16 BIT (Word), con incremento o decremento dell'indirizzatore di MEMORIA (225 ns + 275 ns di fase alfa = 500 ns)
- Velocizzazione della fase Beta delle microistruzioni di lettura in memoria a parallelismo 8 BIT (Byte), con incremento o decremento dell'indirizzatore di memoria (200 ns + 275 ns di fase alfa = 475 ns)

Velocizzazione della fase alfa (275 ns.)

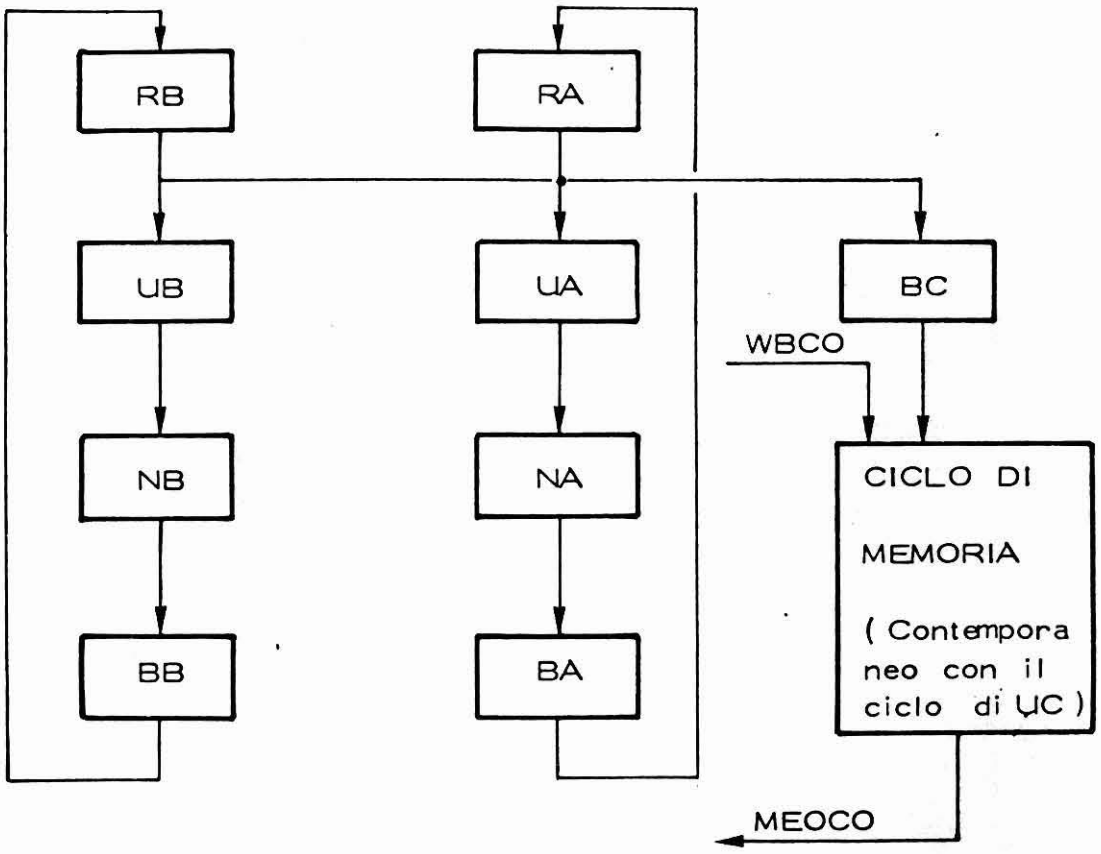
La velocizzazione della fase alfa é ottenuta in due modi:

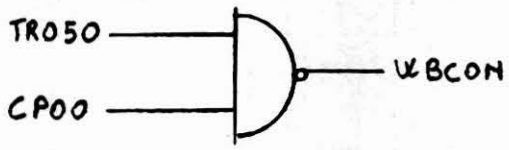
- Invio del segnale di via Memoria WBCO in anticipo di 225 ns, si ottiene cosí la contemporaneitá del ciclo di memoria con il ciclo di incremento o decremento dell'indirizzatore.

- Termine della fase alfa (RESET ALFAO) con 50 ns di anticipo.

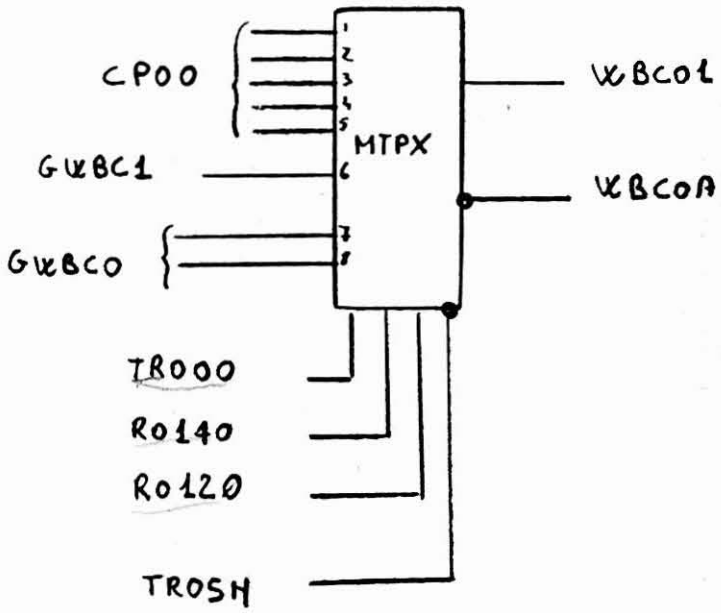
- Invio del segnale di memoria (WBCO)

Flusso funzionale





— GENERAZIONE WBCOM SU CPU 13.



GENERAZIONE WBCOM SU CPU 13 VELOC.

- L'invio alla Memoria di WBC0 é generato da un multiplexer abilitato dai seguenti segnali: (DISL 101)

TR05N = 0 microistruzione con Memoria

TR000 = 1 microistruzione con incremento o decremento.

R0120 = 1 microistruzione a parallelismo 8 BIT.

R0140 = 1 microistruzione a parallelismo 16 BIT.

Nella fase alfa questi segnali hanno la seguente configurazione :

TR000 = 1
R0140 = 1
R0120 = 1
} 8° INGRESSO DEL MULTIPLEXER

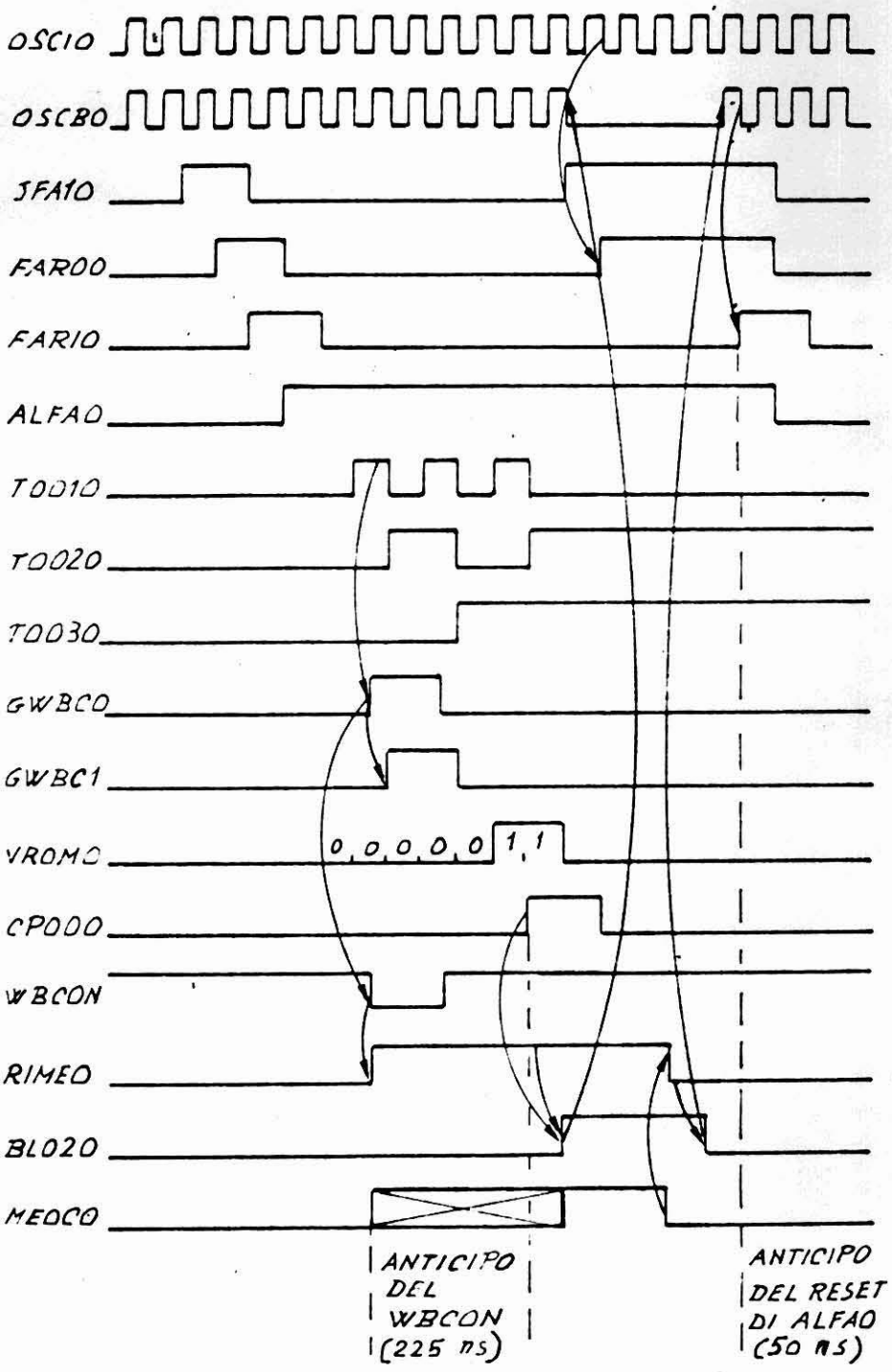
TR05N = 0

E permettono il passaggio del FF GWBCØ. (DISL 101) GWBCØ é generato da T001 225 ns prima di CP00 (DISL 100).
La nascita di WBCØ pone in SET il FF RIME0, il quale con la nascita di CP00, abilita il SET BL020 bloccando la temporizzazione (DISL 150).

- TERMINE DELLA FASE ALFA.

Il reset del FF ALFA0 é in anticipo di 50 ns. perché il SET DEL FF FAR00. é collegato al clock 0SC10, cioé all'oscillatore non bloccato.

TEMPORIZZAZIONE DELLA FASE ALFA



- Velocizzazione della fase Beta (microistruzioni a parallelismo 16 BIT).

- La velocizzazione di questa fase é ottenuta inviando WBC0 (via memoria) in anticipo di 225 ns. da CP00.

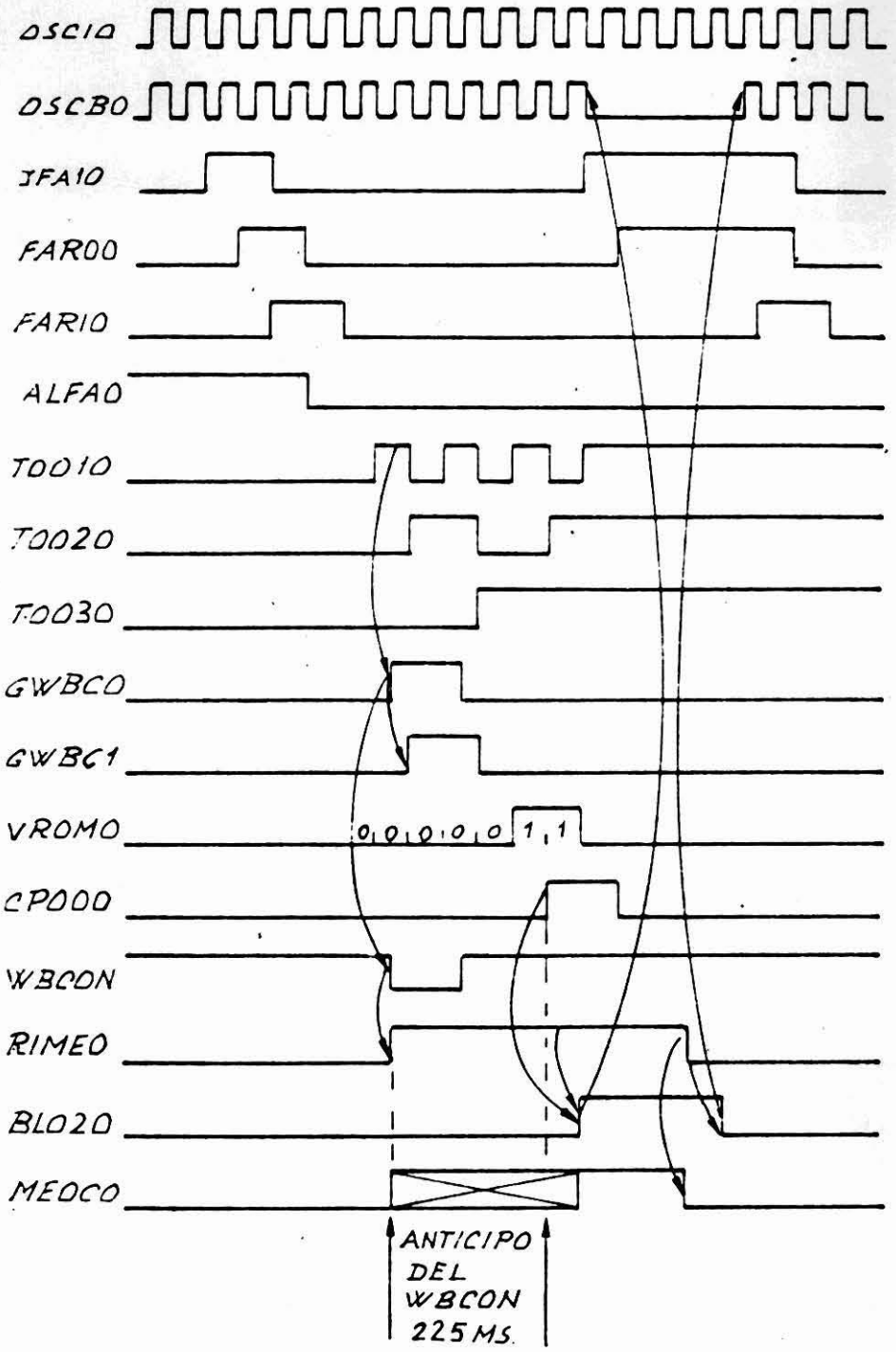
  La realizzazione é la stessa della fase alfa. (7° INGRESSO MULTIPLEXER.

- Velocizzazione della fase Beta (microistruzioni a parallelismo 8 BIT).
  Ció é realizzato mandando il segnale WBC0 200 ns. in anticipo su CP00.

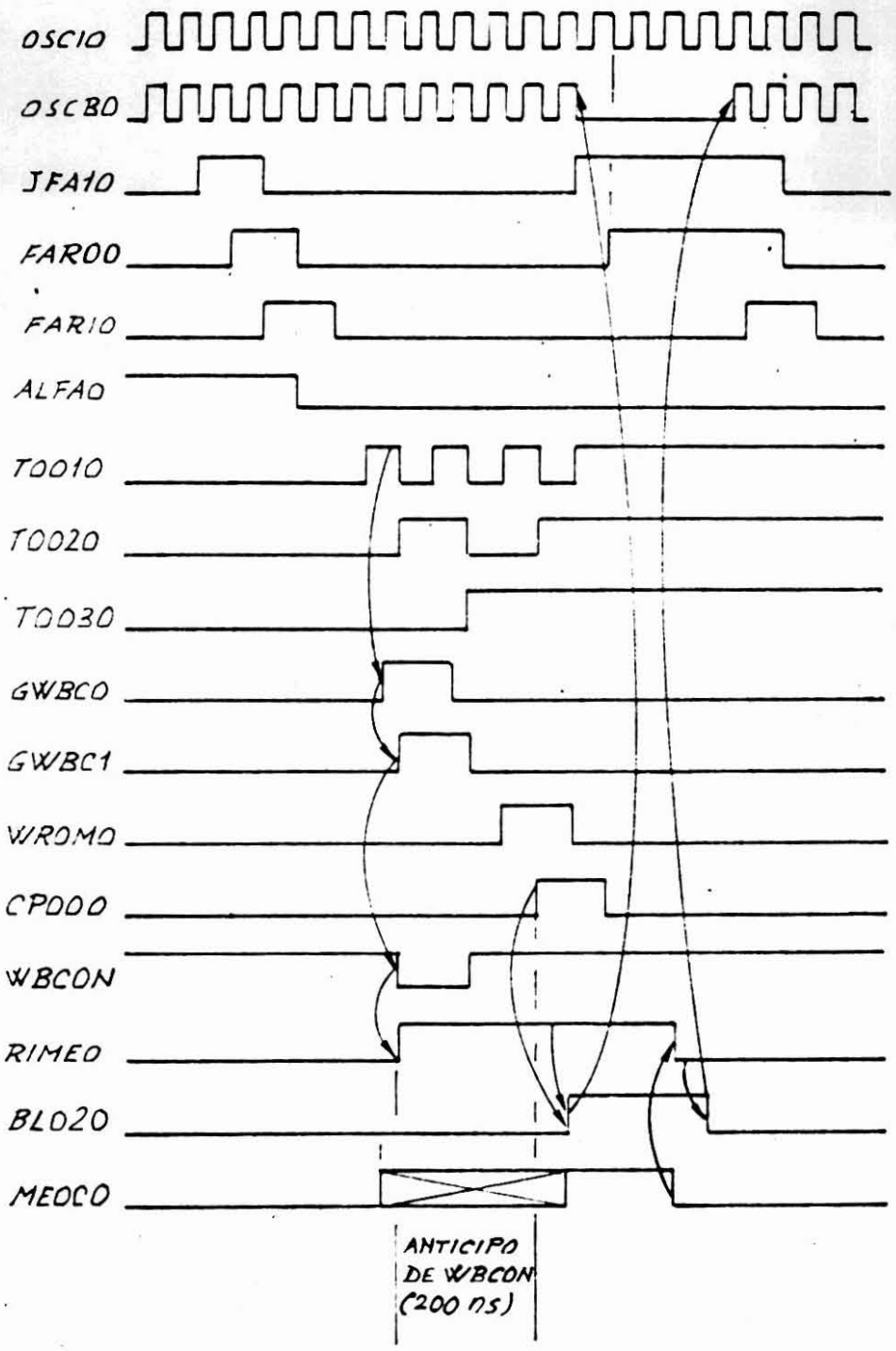
- In questa fase attraverso il multiplexer passa il segnale GWBC1, generato da GWBCØ 200 ns. in anticipo (DISL 101-100).
  Il passaggio di GWBC1 é permesso dalla seguente configurazione.

TR000 = 1
R0140 = 0 } 6° INGRESSO MULTIPLEXER
R0120 = 1
TR05N = 0

TEMPORIZZAZIONE IN FASE ß (con parallelismo 16 BIT)



TEMPORIZZAZIONE IN FASE ß (con parallelismo 8 BIT)



- In tutte le fasi Beta delle microistruzioni con lettura senza incremento o decremento, e nelle microistruzioni di scrittura in Memoria il WBC0 é generato dal CP00: (DISL 101)

L'ABILITAZIONE DEL MULTIPLEXER SARA':

DA	A
TR000 = Ø	TR000 = Ø
R0140 = Ø	R0140 = Ø
R0120 = Ø	R0120 = 1
TR05N = Ø	TR05N = Ø

passeranno dal 1° al 5° ingresso. (CP00)

2.1 NUOVE MICRO ISTRUZIONI

NO	NOME	OPERANDO 1	OPERANDO 2	COD. E SAD.	REGIST. RO	DESCRIZIONE	DEVIATORI D1000	DEVIATORI D1010	DEVIATORI D1020	CROM	TROM	VROM B A	FLUSSO DI FUNZIONAMENTO	
1	ADLL	L(X)	LY	CEXY	CE(X)(Y)	SOMMA [A(X) + B(Y) + D 100] deposita il risultato in A(X)	riporto dopo il 16° BIT		riporto dopo il 12° BIT	9371	43	18	D100, RA→UA, RB → DEV / NA→BA→RA	ß1
						SOMMA [A(Y) + B(X) + D1000] deposita il risultato in B(X) e posiziona i deviatori.		RB=0		5377	5C	18	D100, RA→UA, RB → DEV / NA→BB→RB	ß2
2	AZL	L(X)	.	FE(X)F	FE(X)F	AZZERA 16 BIT del registro lungo (X)				389F	1F	18	UA → NA→BA→RA / NB→BB→RB	
3	COINA	A(X)		B5(X)F	B5(X)F	Complemento a 2 del contenuto di A(X)				A17F	03	18	Complemento RA→UA→NA→BA→RA	ß1
										817F	13	18	RA→UA (+1)→NA→BA→BA	ß2
4	COINB	B(X)		E3(X)F	E3(X)F	Complemento a 2 del contenuto di B(X)				759F	0C	18	Complemento RB→UA→NB→BB→RB	ß1
										5B5F	1C	30	RB→UB (+1)→NB→BB→RB	ß2
5	COMPA	A(X)		80(X)F	80(X)F	Complemento del contenuto di A(X)				A17F	13	18	Complemento RA→UA→NA→BA→RA	
6	COMPB	B(X)		81(X)F	81(X)F	Complemento del contenuto di B(X)				759F	1C	18	Complemento RB→UA→NB→BB→RB	
7	COMPL	L(X)		84(X)F	84(X)F	Complemento del contenuto del registro lungo (X)				A17F	03	18	Complemento RA→UA→NA→BA→RA	ß1
										759F	1C	18	Complemento RB→UA→NB→BB→RB	ß2
8	DEL	LX		CD(X)8	CD(X)8	Invia sugli ECD più significativi (ECD8÷F) il contenuto del registro B(X) con ECOT				2B6F	00	78	RB→UB→NB→BB→EPD8÷F ECOT	ß1
						Carica sul registro B(X) il contenuto del BUS EPT0-7 e sul registro A(X) il contenuto del BUS EPD0-7				3FDF	1F	30	EPT0÷7→NB→BB→RB EPD0÷7→NA→BA→RA	ß2
9	EDAT	AX		F4(X)8	F4(X)8	Carica sul registro A(X) il contenuto del BUS EPD0-7 ed emette ECOT				BFFF	03	E6	EPD0÷7→NA→BA→RA	ß1
										FFEF	10	03	Emette ECOT	ß2
10	EDBT	BX		F2(X)8	F2(X)8	Carica sul registro B(X) il contenuto del BUS EPD0-7 ed emette ECOT				7FFF	0C	E6	EPD0÷7→NA→BB→RB	ß1
										FFEF	10	03	Emette ECOT	ß2

NO	NOME	OPERANDO 1	OPERANDO 2	COD. E SAD.	REGISTRO	DESCRIZIONE	DEVIATORI D1000	D1010	D1020	CROM	TROM	VROM	FLUSSO DI FUNZIONAMENTO	
11	EDTL	L(X)		AA(X)8	AA(X)8	Carica nel registro B(X) il contenuto del BUS EPTO +7 e nel registro A(X) il contenuto del BUS EPDO + 7				3FDF	1F	06	EPTO + 7 → NB → BB → RB EPDO + 7 → NA → BA → RA	
12	INC20	D(X)	L (Y)	A4(α)(Y)	A4(α)(Y)	Incrementa di 2 il contenuto di L(Y) se il deviatore D(X) é a zero. Il valore di (X) é dato dai tre BIT + significativi di α, il BIT meno significativo di α é a zero.				C14B	0F	60	RA → UA (+1) → NA → BA (se DX=0) → RA RB → UA → NB → BB → RB	β_1
										C14B	1F	60	RA → UA (+1) → NA → BA (se DX=0) → RA RB → UB → NB → BB → RB	β_2
13	INC21	D(X)	L(Y)	A4(α)(Y)	A4(α)(Y)	Incremento di 2 il contenuto di L(Y) se il deviatore D(X) é a 1. Il valore di (X) é dato dai tre BIT + significativi di α, il BIT meno significativo di α é a 1.				C14B	0F	60	RA → UA (+1) → NA → BA (se DX=1) → RA RB → UB → NB → BB → RB	β_1
										C14B	11	60	RA → UA (+1) → NA → BA (se DX=1) → RA RB → UB → NB → BB → RB	
14	INTOF			BD21	BD21	Blocca le microinterruzioni di livello 3A (EPRA) livello 3B (EPRB) e caduta tensione (EMA4)				FFEA	10	1F	viene emesso solo il comando.	
15	INTON			BD20	BD20	Riabilita le micro interruzioni di livello 3A (EPRA) livello 3B (EPAB) e caduta tensione (EMA4)				FFEA	10	1F	viene emesso solo il comando	
16	SLDL	L(X)		F3 (X)1	F3(X) 1	I 16 BIT contenuti nel registro L(X) sono shiftati verso destra di una posizione. Il contenuto del D100 entra nella posizione piú significativa. Il BIT meno significativo viene caricato nel D100.				6A31	4C	18	RB → UA → NA → BB → RB D100 → D100	β_1
										BE31	53	18	RA → UA → NA → BA → RA D100 → 0100	β_2
17	SLSL	L(X)		DC(X)1	DC(X)1	I 16 BIT contenuti nel registro L(X) sono shiftati verso sinistra di una posizione. Il contenuto di D100 entra nella posizione meno significativa. Il BIT piú significativo viene caricato nel D100.				3E71	43	18	RA → UA → NA → BA → RA D100 → D100	β_1
										2A71	5C	18	RB → UA → NA → BB → RB D100 → 0100	β_2
18	ZMB	M(X)		AC(X)F	AC(X)F	Azzeramento del byte di memoria, indirizzato dal contenuto del registro M(X)				3FFF	A0	2C	RA, RB → BC → MEMORIA	β_1
										F89F	10	00	UA → NA → BA, NB → BB } ECD → MEM.	β_2
19	ZMW	M(X)		C1(X)F	C1(X)F	Azzeramento dei 16 BIT (word) di memoria indirizzati dal contenuto del registro M(X)				3FFF	A0	2C	RA, RB → BC → MEM.	$\beta 1$
										F89F	10	00	UA → NA → BA, NB → BB } ECD → MEM	$\beta 2$

SUDDIVISIONE DELLA MICROISTRUZIONI PER FUNZIONI

	NOME	OPERANDO 1	OPERANDO 2	COD. E SAD.	DESCRIZIONE
Microistruzioni Aritmetiche	ADLL	L(X)	L(Y)	CEXY	Somma [AX + BY + D100] con risultato in AX Somma [BY + BX + D100] con risultato in BX posiziona i deviatori.
Microistruzioni con Memoria	ZMB	M(X)		AC(X)F	Azzera il Byte di memoria indirizzato da M(X)
	ZMW	M(X)		C1(X)F	Azzera la word di memoria indirizzata da M(X)
Microistruzioni di Shift	SLDL	L(X)		F3(X)1	Shift a destra di Lx. D100 entra nel BIT, significativo, il BIT meno significativo entra in D100.
	SLSL	L(X)		DC(X)1	Shift a sinistra di Lx. D100 entra nel BIT meno significativo entra in D100.
Microistruzioni di incremento condizionato.	INC20	D(X)	L(Y)	A4(X)(Y)	Incrementa di 2 il contenuto di LY se D(X) é a zero.
	INC21	D(X)	L(Y)	A4(X)(Y)	Incrementa di 2 il contenuto di Lx se D(X) é a 1.
Microistruzioni di azzeramento	AZL	L(X)		FE(X)F	Azzeramento del registro L(X).
Microistruzioni tra GOP ⟷ REGISTRI	DEL	L(X)		CD(X)8	INVVA su ECD 9 + F il contenuto del registro Bx con ECOT. Carica nel registro Bx il Bus EPT e sul Registro Ax il Bus EPD.
	EDAT	A(X)		F4(X) 8	Carica nel registro Ax il contenuto del Bus EPD [redacted] ed emette ECOT.
	EDBT	B(X)		F2(X)8	Carica nel registro Bx il contenuto del Bus EPD ed emette ECOT.
	EDTL	L(X)		AA(X) 8	Carica nel Registro Ax il Bus EPT enel registro Bx il Bus EPD ed emette ECOT.
Microistruzioni di comando	INTOF			BD21	Blocca le microinterruzioni di livello 3 - EPRA - FPRB - EMA4 (caduta tensione)
	INTON			BD20	Riabilita le micro interruzioni di livello 3- EPRA - EPRB - EMA4 (caduta tensione)
Microistruzioni di complemento	COINA	A(X)		B5(X)F	Complemento A 2 del contenuto di AX
	COINB	B(X)		E3(X)F	Complemento A 2 del contenuto di BX
	COMPA	A(X)		80(X)F	Complemento del contenuto di AX
	COMPB	B(X)		81(X)F	Complemento del contenuto di BX
	COMPL	L(X)		84(X)F	Complemento del contenuto di LX

3.1 Scelta dell'indirizzo di caricamento delle microistruzioni al RESET (indirizzo 8ØØØ oppure CØØØ)

- Questa prestazione é realizzata tramite due ponticelli, che permettono di realizzare le seguenti [redacted]. PREDISPOSIZIONI

	INDIRIZZO	
Micro Prog. LIVELLO 3 (RESET)	8ØØØ	OFF
Micro Prog. LIVELLO 2	82XX	ON
Micro Prog. LIVELLO 1	81XX	

PIASTRA UC020
pos. LØ3

	INDIRIZZO	
Micro Prog. LIVELLO 3 (RESET)	CØØØ	OFF
Micro Prog. LIVELLO 2	C2XX	ON
Micro Prog. LIVELLO 1	C1XX	

PIASTRA UC020
pos. L.Ø3

1.1 MICRO INTERRUZIONI INTERNE ASINCRONE.

Nella CPU 19 M le microinterruzioni di Livello 3 sono:

Tipo	Descrizione	Segnale di richiesta	Segnale memorizzato	Priorità	DISL 600
Microinterruzioni interne asincrone	CADUTA TENSIONE	VTENN *	EMA40	MAX	C7
	CHECK DI MEMORIA (parity CHECK)	ERPAO	EMA30		C4
	INDIRIZZO FUORI MEMORIA	INVVN	EMA20		A7
Microinterruzioni esterne	LIVELLO 3A	EPRAN *	EMRAN		M2
	LIVELLO 3B	EPRBN *	EMRBN		L2
Microinterruzione interna sincrona	Microistruzione COM1	CE11N	EMPGO	MIN	A4

* Le microinterruzioni EMA4N - EPRA- EPRB - sono bloccate dal FF INOFO = 1 (DISL 601).

1 il FF INOFO é posto in SET dalla Microistruzione INTO F che genera CE 120 - SEOFN. RO 000

ed é posto in RESET dalla microistruzione INTON CE120 - REOFN. R000N

La logica di decodifica della priorità, alle microinterruzioni di Livello 3, é realizzata sui fogli logigi 600 e 602.
Si riporta la tavola della veritá di questa rete logica.

DISL 600 M3

PRIORITA' L3 MIN	INGRESSI	• EPR2N	X	X	X	X	X	X	0	1	
		• EPR2N	X	X	X	X	X	X	0	1	
		EMPGN	X	X	X	X	X	0	1	1	
		EMRBN	X	X	X	X	0	1	1	1	
		EMRAN	X	X	X	0	1	1	1	1	
		EMA2N	X	X	0	1	1	1	1	1	
		EMA3N	X	0	1	1	1	1	1	1	
MAX		EMA4N	0	1	1	1	1	1	1	1	
		ABILIT.	0	0	0	0	0	0	0	0	
	USCITE	PES00	0	1	0	1	0	1	0	1	
		PES0 1	0	0	1	1	0	0	1	1	
		PES0 2	0	0	0	0	1	1	1	1	
		EP000	1	1	1	1	1	1	1	0	
Consensi alle microinterruzioni DISL 600 G 9		ICTEN	0	1	1	1	1	1	1	1	
		ICPAN	1	0	1	1	1	1	1	1	
		ICMEN	1	1	0	1	1	1	1	1	
		ECCAN	1	1	1	0	1	1	1	1	
		ECCBN	1	1	1	1	0	1	1	1	
		ICOON	1	1	1	1	1	0	1	1	

• I segnali EPR2N e le ultime 2 configurazioni servono ad abilitare il SET ed il RESET del FF Liv 14 nei Livelli 2 3-4.

Risposta sul BUS nome DISL 602 A7-G7

EX07	EX06	EX05	EX04	EX03	EX02	EX01	EX00
X	X	X	X	1	0	1	1
X	X	X	X	0	1	1	1
X	X	X	X	0	0	1	1
X	X	X	X	X	X	0	X
X	X	X	X	X	X	0	X
X	X	X	X	0	0	1	0

Durante le microinterruzioni EPRA-EPRB gli altri BIT del BUS nome sono caricati dalla risposta dei GOP.